



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001243798 A**

(43) Date of publication of application: 07.09.01

(51) Int. Cl. **G11C 29/00**  
**G06F 12/16**  
**G11C 11/413**  
**G11C 11/401**

(21) Application number: 2000047804

(22) Date of filing: 24.02.00

(71) Applicant: FUJITSU LTD

(72) Inventor: TAKAHASHI KATSUNORI  
IKEDA HITOSHI  
FUJIOKA SHINYA

(54) SEMICONDUCTOR MEMORY

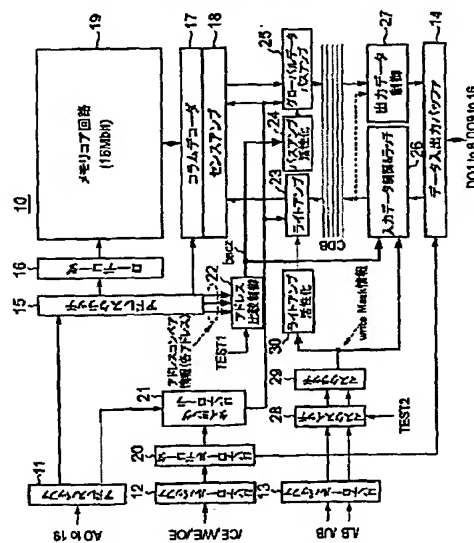
(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory in which a defective cell can be efficiently tested during test operation.

**SOLUTION:** A semiconductor memory performing late-write operation comprises a memory core circuit for storing data, a data latch circuit for storing data of write operation of the previous time, an address comparing circuit comparing an address of write operation of the previous time with an address of the present read operation and deciding matching/nonmatching of addresses, and a control circuit controlling operation so that data is read out from the memory core circuit when addresses are not matching at the time of normal read operation, data is read out from the data latch circuit when addresses are matching, and data is read out from the memory core circuit regardless of matching/nonmatching of addresses in the read operation during test operation.

COPYRIGHT: (C)2001,JPO

本発明による半導体配線装置の実施例の構成を示す図



1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-243798

(P 2001-243798A)

(43)公開日 平成13年9月7日(2001.9.7)

(51)Int.Cl.	識別記号	F I	テマコード (参考)		
G11C 29/00	671	G11C 29/00	671	Z	5B015
G06F 12/16	330	G06F 12/16	330	A	5B018
G11C 11/413		G11C 11/34	341	D	5B024
11/401			371	A	5L106

審査請求 未請求 請求項の数 7 O L (全9頁)

(21)出願番号 特願2000-47804(P 2000-47804)

(22)出願日 平成12年2月24日(2000.2.24)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 ▲高▼橋 克学

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 池田 仁史

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

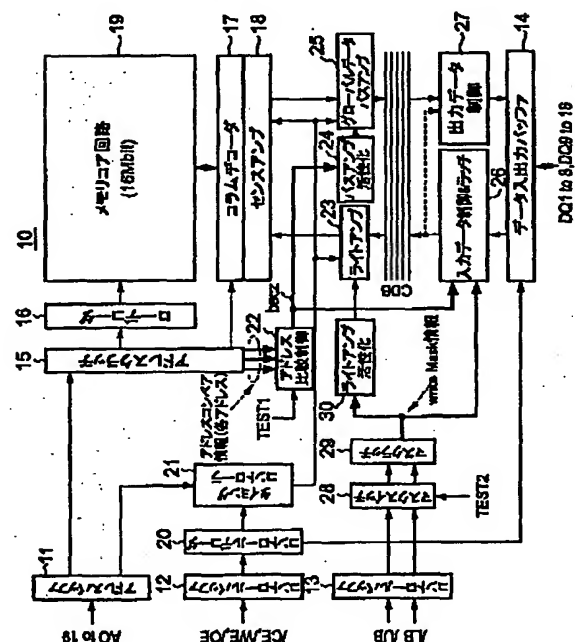
(54)【発明の名称】半導体記憶装置

(57)【要約】

【課題】 本発明は、テスト動作中に効率的に不良セルを検査可能な半導体記憶装置を提供することを目的とする。

【解決手段】 レイトライト動作を実行する半導体記憶装置は、データを記憶するメモリア回路と、前回の書き込み動作のデータを格納するデータラッチ回路と、前回の書き込み動作のアドレスと現在の読み出し動作のアドレスとを比較してアドレスの一致・不一致を決定するアドレス比較回路と、通常の読み出し動作の際にはアドレスが不一致の場合に該メモリア回路よりデータを読み出し、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該メモリア回路よりデータを読み出すように動作を制御する制御回路を含む。

本発明による半導体記憶装置の実施例の構成を示す図



## 【特許請求の範囲】

【請求項1】 レイトライト動作を実行する半導体記憶装置であって、

データを記憶するメモリコア回路と、

前回の書き込み動作のデータを格納するデータラッチ回路と、

前回の書き込み動作のアドレスと現在の読み出し動作のアドレスとを比較してアドレスの一致・不一致を決定するアドレス比較回路と、

通常の読み出し動作の際にはアドレスが不一致の場合に該メモリコア回路よりデータを読み出しアドレスが一致する場合に該データラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該メモリコア回路よりデータを読み出すように動作を制御する制御回路を含むことを特徴とする半導体記憶装置。

【請求項2】 前記メモリコア回路から読み出されたデータを増幅する読み出しアンプ回路と、

該読み出しアンプ回路で増幅されたデータを該半導体記憶装置の外部に出力するデータ入出力バッファを更に含み、前記制御回路は通常の読み出し動作の際にはアドレスが一致する場合に該読み出しアンプ回路を不活性にし、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該読み出しアンプ回路を活性状態に保つことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記制御回路は通常の読み出し動作の際にはアドレスが一致する場合に前記データラッチ回路に前記前回の書き込み動作のデータを出力させ、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該データラッチ回路に該前回の書き込み動作のデータを出力させないことを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前回の書き込み動作のアドレスと現在の読み出し動作のアドレスとを比較してアドレスの一致・不一致を決定するアドレス比較回路と、

通常の読み出し動作の際にはアドレスが不一致の場合にメモリコア回路よりデータを読み出しアドレスが一致する場合にメモリコア回路でないデータラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際には常にメモリコア回路よりデータを読み出すように動作を制御する制御回路を含むことを特徴とするレイトライト動作を実行する半導体記憶装置。

【請求項5】 書き込みデータの全ビットのうち上位ビット或いは下位ビットのいずれかを通常動作時にマスク可能な機能を有する半導体記憶装置であって、テスト動作中は書き込みデータの全ビットをマスク可能にするマスク制御回路を含むことを特徴とする半導体記憶装置。

【請求項6】 前記半導体記憶装置はレイトライト動作を行う構成であって、

前回の書き込み動作のデータを格納するデータラッチ回路と、

該データラッチ回路に格納される該前回の書き込みデータを次の書き込み動作において増幅するライトアンプ回路と、

該ライトアンプで増幅されたデータを記憶するメモリコア回路を含み、前記マスク制御回路は該メモリコア回路へのデータ書き込みの全ビットをマスクすることを特徴とする請求項5記載の半導体記憶装置。

10 【請求項7】 前記マスク制御回路は、上位ビットに対するマスク制御信号及び下位ビットに対するマスク制御信号を短絡させて全ビットマスク制御信号を生成するスイッチ回路と、

該全ビットマスク制御信号を第1回目のデータ書き込み動作で記憶し第2回目のデータ書き込み動作で出力するマスクラッチ回路と、

該マスクラッチ回路の出力に応じて前記ライトアンプ回路の活性・不活性を制御するライトアンプ活性化回路を含むことを特徴とする請求項6記載の半導体記憶装置。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に半導体記憶装置に関し、詳しくはレイトライト動作を行う半導体記憶装置に関する。

【0002】

【従来の技術】 半導体記憶装置には、ライト動作のタイミングのマーヅンを確保するために、レイトライト動作を実行するものがある。レイトライト動作とは、あるデータに対する書き込み命令が入力されたときに、そのデータをコア回路のメモリセルに書き込むことなく、内部バッファに一旦保持する。その後、次のデータに対する書き込み命令が入力されたときに初めて、最初のデータをコア回路のメモリセルに書き込む。後の書き込み命令に対応するデータは、データバッファに格納され、次の書き込み命令が入力されるまでデータバッファに残る。

【0003】

データ入力からコア回路へのデータ書き込みまでは多くの動作ステップが存在するために、一度に入力データをコア回路に書き込もうとする場合、書き込み動作が終了するまでには時間がかかる。レイトライト動作を実行する半導体記憶装置では、一回のデータ書き込みでは内部バッファへのデータ書き込みまでしか実行しない。従って、書き込み動作にかかる時間が短くてすみ、十分なタイミングマーヅンを提供することが出来る。

【0004】

このレイトライト動作を行う半導体記憶装置においては、最後に書き込んだデータを読み出す場合に工夫が必要になる。即ち、最後に書き込んだデータはデータバッファに格納されているために、コア回路のこのデータに対応するアドレスのデータを読み出すのではなく、データバッファに格納されているデータを読み出

従来の技術に引比べて

す必要がある。

【0005】これを実現するために、レイトライト動作を行う半導体記憶装置においては、入力された読み出しアドレスを、最後に入力された書き込みアドレスと比較する動作が行われる。両方のアドレスが一致する場合には、コア回路の対応するアドレスからではなく、データバッファからデータを読み出す。これによって、前回の書き込み動作に対応するデータを読み出すことが出来る。

【0006】

【発明が解決しようとする課題】しかしこのような構成の半導体記憶装置では、テスト動作モード時に、本来ならテストしたいアドレスのセルに対してデータ書き込み・読み出しを実行する代わりに、データバッファに対してデータ書き込み・読み出しを実行する結果となる場合がある。このような場合、メモリセルの動作の確認が出来ずに、不良セルをリジェクト出来ないことになる。

【0007】また更に、レイトライト動作を行う半導体記憶装置においては、テスト動作中に確実に入力データをコア回路に書き込むためには、同一の書き込み命令を2度与える必要がある。2度目の書き込み命令によって、最初の書き込み命令に対応するデータを、確実にコア回路に書き込むことが出来る。この時、2度目の書き込み命令に対応するデータは、データバッファに格納されることになるが、次に何らかの書き込み命令が入力された時点で、このデータはコア回路に書き込まれる。結果として、同一のメモリセルに同一のデータが2度書き込まれることになる。

【0008】テスト動作中に同一のメモリセルに同一のデータが2度書き込まれてしまうと、本来ならリストア不足としてリジェクトされるべき不良セルに、必要以上に電荷がチャージされる結果となり、リストア不足のセルとしては検出されなくなってしまう。従って、効率よく不良セルをリジェクトすることが難しくなってしまう。

【0009】従って、本発明は、テスト動作中に効率的に不良セルを検査可能な半導体記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段】請求項1の発明では、レイトライト動作を実行する半導体記憶装置は、データを記憶するメモリコア回路と、前回の書き込み動作のデータを格納するデータラッチ回路と、前回の書き込み動作のアドレスと現在の読み出し動作のアドレスとを比較してアドレスの一致・不一致を決定するアドレス比較回路と、通常の読み出し動作の際にはアドレスが不一致の場合に該メモリコア回路よりデータを読み出しアドレスが一致する場合に該データラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該メモリコア回路よりデータを読

み出すように動作を制御する制御回路を含むことを特徴とする。

【0011】請求項2の発明では、請求項1記載の半導体記憶装置は、前記メモリコア回路から読み出されたデータを増幅する読み出しアンプ回路と、該読み出しアンプ回路で増幅されたデータを該半導体記憶装置の外部に出力するデータ入出力バッファを更に含み、前記制御回路は通常の読み出し動作の際にはアドレスが一致する場合に該読み出しアンプ回路を不活性にし、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該読み出しアンプ回路を活性状態に保つことを特徴とする。

【0012】請求項3の発明では、請求項1又は2記載の半導体記憶装置において、前記制御回路は通常の読み出し動作の際にはアドレスが一致する場合に前記データラッチ回路に前記前回の書き込み動作のデータを出力させ、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該データラッチ回路に該前回の書き込み動作のデータを出力させないことを特徴とする。

【0013】請求項4の発明では、レイトライト動作を実行する半導体記憶装置は、前回の書き込み動作のアドレスと現在の読み出し動作のアドレスとを比較してアドレスの一致・不一致を決定するアドレス比較回路と、通常の読み出し動作の際にはアドレスが不一致の場合にメモリコア回路よりデータを読み出しアドレスが一致する場合にメモリコア回路でないデータラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際には常にメモリコア回路よりデータを読み出すように動作を制御する制御回路を含むことを特徴とする。

【0014】上記の半導体記憶装置においては、最初のデータ書き込み動作でデータをデータラッチ回路に格納し次のデータ書き込み動作でデータラッチ回路のデータをメモリコア回路に記憶するレイトライト動作を行う構成において、通常の読み出し動作の際には前回の書き込みアドレスと現在の読み出しアドレスとが不一致の場合にメモリコア回路よりデータを読み出しアドレスが一致する場合にデータラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該メモリコア回路よりデータを読み出すよう制御回路が動作を制御する。

【0015】従ってテスト動作モード時に、データバッファに対してではなく、本来テストしたいアドレスのセルに対してデータ書き込み・読み出しを実行することが可能になる。これによって、メモリセルの動作の確認を効率的に行い、不良セルをリジェクトすることが可能になる。

【0016】請求項5の発明では、書き込みデータの全ビットのうち上位ビット或いは下位ビットのいずれかを通常動作時にマスク可能な機能を有する半導体記憶装置は、テスト動作中は書き込みデータの全ビットをマスク

10

20

30

40

50

可能にするマスク制御回路を含むことを特徴とする。

【0017】請求項6の発明では、請求項5記載の半導体記憶装置はレイトライト動作を行う構成であって、前回の書き込み動作のデータを格納するデータラッチ回路と、該データラッチ回路に格納される該前回の書き込みデータを次の書き込み動作において増幅するライトアンプ回路と、該ライトアンプで増幅されたデータを記憶するメモリアンプ回路を含み、前記マスク制御回路は該メモリアンプ回路へのデータ書き込みの全ビットをマスクすることを特徴とする。

【0018】請求項7の発明では、請求項6記載の半導体記憶装置において、前記マスク制御回路は、上位ビットに対するマスク制御信号及び下位ビットに対するマスク制御信号を短絡させて全ビットマスク制御信号を生成するスイッチ回路と、該全ビットマスク制御信号を第1回目のデータ書き込み動作で記憶し第2回目のデータ書き込み動作で出力するマスクラッチ回路と、該マスクラッチ回路の出力に応じて前記ライトアンプ回路の活性・不活性を制御するライトアンプ活性化回路を含むことを特徴とする。

【0019】上記の半導体記憶装置は、書き込みデータの全ビットのうち上位ビット或いは下位ビットのいずれかを通常動作時にマスク可能な機能を有する構成であって、テスト動作中は書き込みデータの全ビットをマスク可能にするマスク制御回路を含むので、2度目の書き込み動作におけるメモリアンプ回路に対するデータ書き込みの全てのビットをマスクして、同一のメモリセルに同一のデータが2度書き込まれるのを防ぐことが出来る。

【0020】

【発明の実施の形態】以下に、添付の図面を用いて本発明の実施例を説明する。

【0021】図1は、本発明による半導体記憶装置の実施例の構成を示す。

【0022】図1の半導体記憶装置10は、アドレスバッファ回路11、コントロールバッファ回路12、コントロールバッファ回路13、データ入出力バッファ14、アドレスラッチ回路15、ローデコーダ回路16、コラムデコーダ回路17、センスアンプ回路18、メモリアンプ回路19、コマンドデコーダ回路20、タイミングコントローラ回路21、アドレス比較制御回路22、ライトアンプ回路23、バスアンプ活性化回路24、グローバルデータバスアンプ25、入力データ制御&ラッチ回路26、出力データ制御回路27、マスクスイッチ回路28、マスクラッチ回路29、及びライトアンプ活性化回路30を含む。

【0023】コントロールバッファ回路12には、制御信号/CE、/WE、及び/OEが入力される。入力された制御信号は、コントロールバッファ回路12からコマンドデコーダ20に供給される。コマンドデコーダ20は、これらの制御信号をデコードし、デコード結果をタ

イミングコントローラ回路21に供給する。タイミングコントローラ回路21は、デコード結果に基づいて、半導体記憶装置10の各部の動作を制御する(図1には主要な制御経路のみが示される)。

【0024】アドレスバッファ回路11には、アドレス信号が入力される。入力されたアドレス信号は、アドレスバッファ回路11からアドレスラッチ回路15に供給される。アドレスラッチ回路15は、供給されたアドレスのうち、ローアドレスをローデコーダ回路16に供給し、コラムアドレスをコラムデコーダ回路17に供給する。

【0025】ローデコーダ回路16は、供給されたローアドレスをデコードし、ローアドレスに対応するワード線を活性化させる。例えば読み出し動作の場合、メモリアンプ回路19において、ローアドレスに対応するワード線が活性化されると、対応するメモリセルのデータがセンスアンプ回路18に読み出される。コラムデコーダ回路17は、アドレスラッチ回路15から供給されたコラムアドレスをラッチして、コラムアドレスに対応するコラム線を活性化させる。コラム線が活性化されると、対応するセンスアンプ回路18のデータが、グローバルデータバスを介してグローバルデータバスアンプ25に供給される。

【0026】グローバルデータバスアンプ25でデータは増幅され、チップデータバスCDBを介して、出力データ制御回路27に供給される。出力データ制御回路27に供給されたデータは、データ入出力バッファ14を介して半導体記憶装置外部に読み出される。

【0027】書き込み動作の場合、半導体記憶装置10はレイトライト動作を行うものであり、書き込みデータ入力からメモリアンプ回路19のメモリセルへのデータ書き込みまでが、一度の書き込み動作で実行されるのではなく、2段階に分けて実行される。まず最初の書き込み命令に対応して、データ入出力バッファ14に入力された書き込みデータは、データバッファとして機能する入力データ制御&ラッチ回路26に格納される。次の書き込み命令が入力されると、入力データ制御&ラッチ回路26に格納されるデータは、チップデータバスCDBを介してライトアンプ回路23に供給され増幅され、選択されたコラムアドレスに対応するセンスアンプ回路18を介して、選択されたローアドレスのメモリセルに格納される。

【0028】アドレスラッチ回路15は、前回の書き込みアドレスを保持している。データ読み出し時には、アドレスラッチ回路15に格納されている前回の書き込みアドレスと現在の読み出しアドレスとが比較され、比較結果がアドレスコンペア情報として、アドレス比較制御回路22に供給される。

【0029】通常動作時には、アドレス比較制御回路22は、読み出しアドレスが前回の書き込みアドレスと一

10

20

30

40

50

致すると、一致信号 `bacz` を HIGH にする。一致信号 `bacz` が HIGH になると、バスアンプ活性化回路 24 がグローバルデータバスアンプ 25 を不活性にする。従って、センスアンプ回路 18 から読み出されたデータは、チップデータバス CDB には供給されない。同時に、HIGH の一致信号 `bacz` によって、入力データ制御&ラッチ回路 26 がラッチしている前回の書き込みデータが、チップデータバス CDB を介して出力データ制御回路 27 に供給される。これによって、読み出しアドレスが前回の書き込みアドレスと一致する場合には、入力データ制御&ラッチ回路 26 の格納する前回の書き込みデータが、データ入出力バッファ 14 から半導体記憶装置 10 外部に読み出される。

【0030】読み出しアドレスが前回の書き込みアドレスと一致しない場合には、一致信号 `bacz` は LOW であり、グローバルデータバスアンプ 25 は適切なタイミングで活性化され、また入力データ制御&ラッチ回路 26 は格納するデータを出力しない。従って前述したように、メモリア回路 19 からのデータが、グローバルデータバスアンプ 25 を介して、半導体記憶装置 10 外部に読み出される。

【0031】本発明においては、テスト動作が指定された場合には、アドレス比較制御回路 22 に入力されるテスト信号 `TEST1` が LOW になる。これによってテスト動作中であることをアドレス比較制御回路 22 に指示すると、アドレス比較制御回路 22 は、常に一致信号 `bacz` を LOW にするよう構成されている。

【0032】従ってテスト動作中には、前回の書き込みアドレスが今回の読み出しアドレスと一致するか否かに関わらず、グローバルデータバスアンプ 25 は適切なタイミングで活性化され、また入力データ制御&ラッチ回路 26 は格納するデータを出力しない。従って、メモリア回路 19 からのデータが、グローバルデータバスアンプ 25 を介して読み出される。

【0033】以下に、アドレスラッチ回路 15 及びアドレス比較制御回路 22 の動作について説明する。

【0034】図 2 は、アドレスラッチ回路 15 及びアドレス比較制御回路 22 の回路構成を示す図である。図 2 において、アドレスラッチ回路 15 は、アドレス信号の一つのビットに対する構成が示される。

【0035】図 2 のアドレスラッチ回路 15 は、PMOS トランジスタ及び NMOS トランジスタよりなるゲート 41 乃至 43、インバータ 44 乃至 54、NAND 回路 55、及び NOR 回路 56 及び 57 を含む。インバータ 48 と 49 はラッチ回路を構成し、インバータ 50 と 51 は別のラッチ回路を構成する。またインバータ 52 乃至 54、NAND 回路 55、及び NOR 回路 56 及び 57 は、アドレスを比較するアドレスコンペア回路を構成する。

【0036】読み出し開始パルス信号 `rdpx` はゲート

41 に入力され、書き込みアドレスラッチ信号 `walz` はゲート 42 に入力される。更に、書き込み開始パルス信号 `wrpx` がゲート 43 に入力される。これらの動作タイミングに関する信号は、主にタイミングコントローラ回路 21 から供給される。また各信号のうち、“z” で終わるものは正論理の信号を示し、“x” が最後についているものは負論理の信号を示す。

【0037】アドレス書き込み時には、書き込みアドレスラッチ信号 `walz` が HIGH になりゲート 42 が開く。これによって、第 1 の書き込み命令に対するアドレスがアドレスバッファ回路 11 から供給されると、インバータ 48 及び 49 よりなるラッチに格納される。第 2 のアドレス書き込み命令が供給されると、まず最初に書き込み開始パルス信号 `wrpx` (負論理信号) が LOW になる。これによりインバータ 48 及び 49 よりなるラッチに格納されていたデータが、ゲート 43 を介して、インバータ 50 及び 51 よりなるラッチに格納される。このデータは、アドレスラッチ回路 15 から出力され、ローデコーダ回路 16 或いはコラムデコーダ回路 17 に供給される。また 2 番目の書き込みアドレスは、書き込みアドレスラッチ信号 `walz` が HIGH になった時点で、インバータ 48 及び 49 よりなるラッチに格納される。

【0038】このように、前回の書き込みアドレス (上記例では 2 番目の書き込みアドレス) は、常にインバータ 48 及び 49 よりなるラッチに格納されている。

【0039】読み出し動作時には、読み出し開始パルス信号 `rdpx` (負論理信号) が LOW になると、アドレスバッファ回路 11 から供給されるアドレスは、ゲート 41 を通過して、インバータ 50 及び 51 よりなるラッチに格納される。このデータは、アドレスラッチ回路 15 から出力され、ローデコーダ回路 16 或いはコラムデコーダ回路 17 に供給される。

【0040】また読み出し動作時には、読み出し状態信号 `readz` が HIGH になり、アドレスコンペア部を活性化させる。アドレスコンペア部は、活性化されると、ゲート 41 を介して供給される現在の読み出しアドレス信号と、インバータ 48 及び 49 よりなるラッチから供給される前回の書き込みアドレス信号とを比較する。両方のアドレス信号が一致する場合、即ち両方のビットが 1 であるか両方のビットが 0 である場合に、アドレスコンペア部は HIGH の信号を出力する。この信号は、アドレス比較制御回路 22 に供給される。

【0041】アドレス比較制御回路 22 は、NAND 回路 60 及びインバータ 61 を含む。アドレス比較制御回路 22 は、アドレスラッチ回路 15 から受け取る信号が全て HIGH のとき、即ち全てのアドレスビットが一致したときに、その出力信号である一致信号 `bacz` を HIGH にする。この一致信号 `bacz` によって、読み出し動作時のデータ読み出し元が選択される。

10

20

30

40

50

【0042】図3は、読み出し動作時のデータ読み出し動作を説明するための図である。図3において、入力データ制御&ラッチ回路26は、データの一つのビットに対する構成のみを示す。

【0043】図3の入力データ制御&ラッチ回路26は、PMOSTランジスタ及びNMOSTランジスタよりなるゲート71、2つのインバータよりなるラッチ回路72、インバータ74、75、乃至78、NAND回路79、NOR回路73と80、PMOSTランジスタ81、及びNMOSTランジスタ82を含む。またバス

10 アンプ活性化回路24は、NAND回路91及びインバータ92及び93を含む。

【0044】書き込み動作の場合、タイミングコントローラ回路21からの書き込みデータラッチパルス信号w d l p zがHIGHになると、ゲート71が開き、データ入出力バッファ14から供給される書き込みデータがラッチ72に格納される。ラッチ72に格納されたデータは、次の書き込み命令で書き込み開始パルス信号w r p zがHIGHになると、PMOSTランジスタ81及びNMOSTランジスタ82よりなる回路の出力として現れ、インバータ77及び78よりなるラッチ回路に格納されると共に、入力データ制御&ラッチ回路26外部に出力される。このとき書き込み動作中であるから一致信号b a c zはLOWである。

【0045】読み出し動作の場合、今回の読み出しアドレスと前回の書き込みアドレスが不一致の場合、一致信号b a c zはLOWである。従って、PMOSTランジスタ81及びNMOSTランジスタ82は共にオフとなり、出力はHIGHでもLOWでもない浮遊状態となる。このときバスアンプ活性化回路24において、一致信号b a c zはLOWであるから、バスアンプ活性化信号s h e zがグローバルデータバスアンプ25に供給され、グローバルデータバスアンプ25を活性化する。このようにして、今回の読み出しアドレスと前回の書き込みアドレスが不一致の場合、メモリコア回路19から読み出されたデータが、センスアンプ回路18及びグローバルデータバスアンプ25を介してチップデータバスCDBに供給され、更にデータ入出力バッファ14の出力用バッファ14Aを介して半導体記憶装置10外部に読み出される。

【0046】今回の読み出しアドレスと前回の書き込みアドレスが一致する場合、一致信号b a c zはHIGHである。従って、入力データ制御&ラッチ回路26において、PMOSTランジスタ81及びNMOSTランジスタ82からなる回路の出力は、前回の書き込みデータとなる。このときバスアンプ活性化回路24においては、一致信号b a c zはHIGHであるから、インバータ93の出力は常にLOWとなる。従って、グローバルデータバスアンプ25は不活性となる。このようにして、今回の読み出しアドレスと前回の書き込みアドレス

が一致する場合には、グローバルデータバスアンプ25が不活性となり、入力データ制御&ラッチ回路26が前回の書き込みデータをチップデータバスCDBに出力することで、前回の書き込みデータが出力用バッファ14Aを介して半導体記憶装置10外部に読み出される。

【0047】テスト動作の場合には、前述のように、常に一致信号b a c zがLOWになる。従って今回の読み出しアドレスと前回の書き込みアドレスが一致するか否かに関わらず、入力データ制御&ラッチ回路26において、PMOSTランジスタ81及びNMOSTランジスタ82は共にオフとなり、出力はHIGHでもLOWでもない状態となる。更に、バスアンプ活性化回路24によって、グローバルデータバスアンプ25は活性化される。このようにして、テスト動作の場合には、メモリコア回路19から読み出されたデータが、センスアンプ回路18及びグローバルデータバスアンプ25を介してチップデータバスCDBに供給され、更にデータ入出力バッファ14の出力用バッファ14Aを介して半導体記憶装置10外部に読み出される。

20 【0048】以上のようにして、テスト動作の場合には、今回の読み出しアドレスと前回の書き込みアドレスが一致するか否かに関わらず、今回指定した読み出しアドレスのメモリセルからデータを読み出すことが可能になる。

【0049】以下においては、テスト動作中にメモリセルにデータを2回書き込む動作を回避する構成について説明する。

【0050】前述のように、レイトライト動作を行う半導体記憶装置においては、テスト動作中に確実に入力データをコア回路に書き込むためには、同一の書き込み命令を2度与える必要がある。しかしながら、テスト動作中に同一のメモリセルに同一のデータが2度書き込まれてしまうと、本来ならリストア不足としてリジェクトされるべき不良セルに、必要以上に電荷がチャージされる結果となり、リストア不足のセルとしては検出されなくなってしまう。

40 【0051】図1において、本発明による半導体記憶装置10は、従来のSRAMと同様のインターフェースとして、入力データの上位ビットをマスクする機能及び下位ビットをマスクする機能が設けられている。上位ビットをマスクするためには制御信号/UBをコントロールバッファ回路13に入力し、下位ビットをマスクするためには制御信号/LBをコントロールバッファ回路13に入力する。従って、このマスク機能を用いれば、書き込みデータの2度目の書き込みにおいて、書き込みデータをマスクすることで2度目のデータ書き込みを回避することが出来る。

50 【0052】但し、従来のSRAMと同様のインターフェースでは、下位ビット或いは上位ビットのいずれかしかマスクできないため、全てのビットをマスク可能な構



成を提供する必要がある。

【0053】本発明による半導体記憶装置10においては、テスト動作中にはテスト信号TEST2によって、上位ビット用の制御信号/UB及び下位ビット用の制御信号/LBをマスキスイッチ回路28でショートさせて、全ビットに対するマスク制御信号を生成する。この全ビットに対するマスク制御信号を、マスキラッチ回路29でラッチする。このマスキラッチ回路29から全ビットマスク制御信号をライトアンプ活性化回路30に供給して、ライトアンプ活性化回路30を制御して、ライトアンプ回路23を非活性にする。これによって、本発明による半導体記憶装置10においては、2度の書き込み動作のうちで、2度目の書き込み動作をマスクすることが可能となる。

【0054】図4は、マスキスイッチ回路28、マスキラッチ回路29、及びライトアンプ活性化回路30の回路構成を示す図である。

【0055】マスキスイッチ回路28は、NMOSトランジスタとPMOSトランジスタよりなるゲート101及びインバータ102を含む。マスキラッチ回路29は、NMOSトランジスタとPMOSトランジスタよりなるゲート111及び112、2つのインバータよりなるラッチ回路115及び116、及びインバータ113及び114を含む。またライトアンプ活性化回路30は、インバータ121、NAND回路122、及びインバータ123を含む。

【0056】マスキスイッチ回路28にTEST2信号が入力されると、ゲート101が開き、上位ビット用の制御信号/UB及び下位ビット用の制御信号/LBがショートされる。第1の書き込み命令に対応して、マスキラッチ回路29に供給される書き込みアドレスラッチ信号walzがHIGHになると、ショートされた全ビット用のマスク制御信号は、ラッチ115に格納される。ラッチ115に格納されたマスク制御信号は、第2の書き込み命令に対応して、マスキラッチ回路29に供給される書き込み開始パルス信号wrpxがLOWになると、ラッチ116に格納される。

【0057】ラッチ116に格納された全ビット用のマスク制御信号は、マスキラッチ回路29からライトアンプ活性化回路30に供給される。このマスク制御信号は正論理信号であり、マスクする場合にHIGHになる。従って、インバータ121の出力はLOWとなり、ライトアンプ活性化回路30に供給されるライトアンプ活性化信号wepzは、ライトアンプ活性化回路30からライトアンプ回路23に供給されない。従って、ライトアンプ回路23は不活性となり、2度目の書き込み動作時にはメモリア回路19(図1)にデータが書き込まれない。

【0058】尚、マスキスイッチ回路28にテスト信号TEST2が供給されない場合には、通常のSRAMの

データマスク制御と同様であり、従来技術の範囲内である。これに関する動作説明及び回路構成の説明は省略する。

【0059】また上位ビット用の制御信号/UB(負論理信号)及び下位ビット用の制御信号/LB(負論理信号)が共にLOWの場合、テスト動作中であっても、マスキラッチ回路29からライトアンプ活性化回路30に供給されるマスク制御信号(正論理信号)はLOWとなる。従ってこの場合には、ライトアンプ活性化信号wepzがライトアンプ活性化回路30からライトアンプ回路23に供給され、メモリア回路19に対するデータ書き込みが行われる。

【0060】以上のように、本発明による半導体記憶装置10においては、従来のSRAMと同様のインターフェースとして入力データの上位ビットをマスクする機能及び下位ビットをマスクする機能が設けられおり、テスト動作中には上位ビットをマスクする制御信号と下位ビットをマスクする制御信号とをショートして、全ビットに対するマスク制御信号を生成する。この全ビットマスク制御信号を用いることで、2度目の書き込み動作におけるメモリア回路19に対するデータ書き込みをマスクして、同一のメモリアセルに同一のデータが2度書き込まれるのを防ぐことが出来る。

【0061】以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【0062】

【発明の効果】本発明による半導体記憶装置においては、最初のデータ書き込み動作でデータをデータラッチ回路に格納し次のデータ書き込み動作でデータラッチ回路のデータをメモリア回路に記憶するレイトライト動作を行う構成において、通常の読み出し動作の際には前回の書き込みアドレスと現在の読み出しアドレスとが不一致の場合にメモリア回路よりデータを読み出し、アドレスが一致する場合にデータラッチ回路よりデータを読み出し、テスト動作中の読み出し動作の際にはアドレスの一致・不一致に関わらず該メモリア回路よりデータを読み出すよう制御回路が動作を制御する。

【0063】従ってテスト動作モード時に、データバッファに対してではなく、本来テストしたいアドレスのセルに対してデータ書き込み・読み出しを実行することが可能になる。これによって、メモリアセルの動作の確認を効率的に行い、不良セルをリジェクトすることが可能になる。

【0064】また本発明による半導体記憶装置は、書き込みデータの全ビットのうち上位ビット或いは下位ビットのいずれかを通常動作時にマスク可能な機能を有する構成であって、テスト動作中は書き込みデータの全ビットをマスク可能にするマスク制御回路を含むので、2度



13

目の書き込み動作におけるメモリコア回路に対するデータ書き込みの全てのビットをマスクして、同一のメモリセルに同一のデータが2度書き込まれるのを防ぐことが出来る。

【0065】従って、リストア不足としてリジェクトされるべきセルが確実に不良セルとして検出されることになり、半導体記憶装置の試験において効率よく不良セルをリジェクト可能になる。

【図面の簡単な説明】

【図1】本発明による半導体記憶装置の実施例の構成を示す図である。

【図2】アドレスラッチ回路及びアドレス比較制御回路の回路構成を示す図である。

【図3】読み出し動作時のデータ読み出し動作を説明するための図である。

【図4】マスクスイッチ回路、マスクラッチ回路、及びライトアンプ活性化回路の回路構成を示す図である。

【符号の説明】

10 半導体記憶装置

11 アドレスバッファ回路

20

12 コントロールバッファ回路

13 コントロールバッファ回路

14 データ入出力バッファ

15 アドレスラッチ回路

16 ローデコーダ回路

17 コラムデコーダ回路

18 センスアンプ回路

19 メモリコア回路

20 コマンドデコーダ回路

21 タイミングコントローラ回路

22 アドレス比較制御回路

23 ライトアンプ回路

24 バスアンプ活性化回路

25 グローバルデータバスアンプ

26 入力データ制御&ラッチ回路

27 出力データ制御回路

28 マスクスイッチ回路

29 マスクラッチ回路

30 ライトアンプ活性化回路

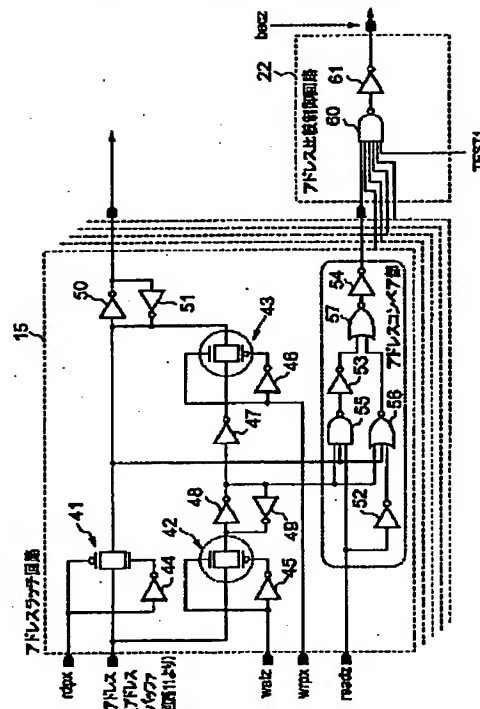
【図1】

本発明による半導体記憶装置の実施例の構成を示す図



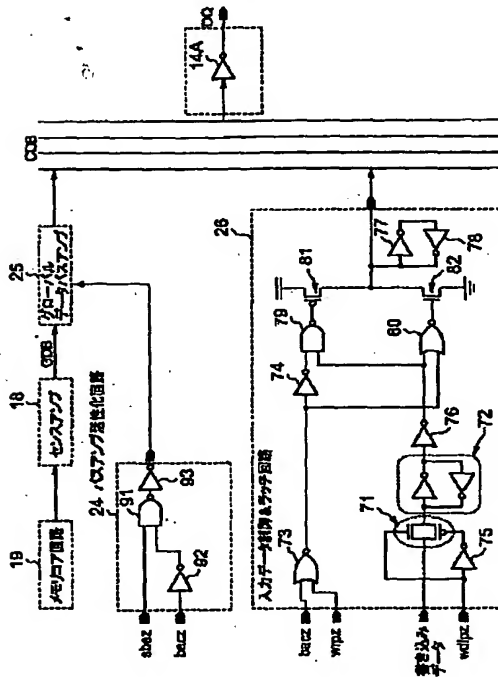
【図2】

アドレスラッチ回路及びアドレス比較制御回路の回路構成を示す図



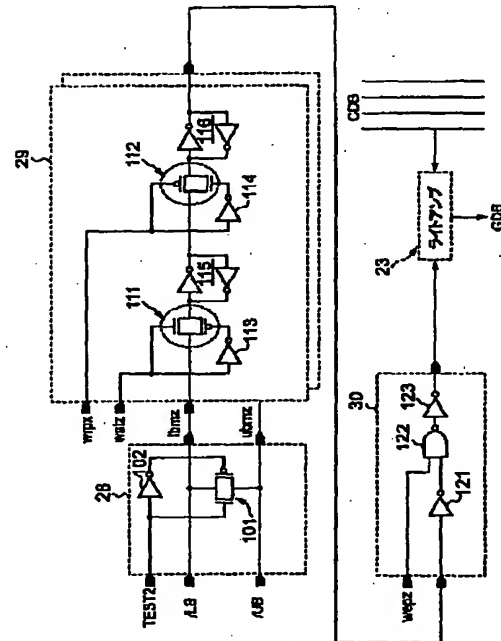
【図3】

読み出し動作時のデータ読み出し動作を説明するための図



【図4】

マスクスイッチ回路、マスクラッチ回路、及びライトアンプ活性化回路の回路構成を示す図



## フロントページの続き

(72)発明者 藤岡 伸也

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) 5B015 KB92 MM07 MM10 RR05

5B018 GA03 HA25 NA03 QA13 RA11

5B024 AA15 BA25 BA29 CA07 EA04

5L106 AA01 DD12 EE02 FF01 GG05